

YMZ294 YAMAHA 音源LSI

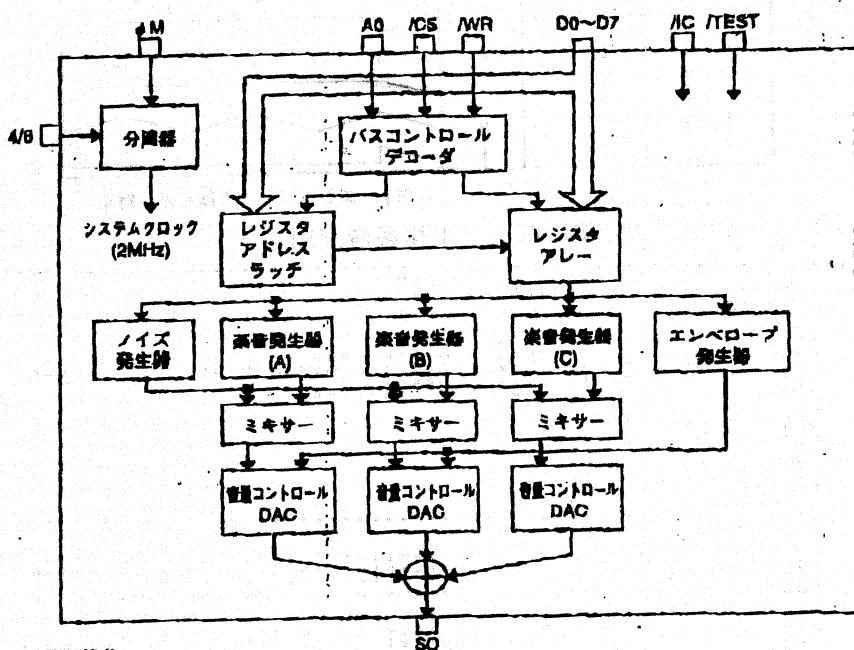
概要

○YMZ294は、YM2149相当の音源LSIです。
○3系列の矩形波発生器と1系列のノイズ発生器、エンベロープ発生器を内蔵しておりメロディ音効果音の発音が可能です

特徴

- ☆YM2149とワットワットワットの矩形波3音+ノイズ1音の音源
- ☆5ビットDACを3個内蔵し、3音ミキシング出力
- ☆CS、WR制御信号と8ビットデータバスによる汎用CPUインターフェイス
- ☆8オクターブの広い発音域
- ☆エンベロープ発生器による滑らかな減衰感
- ☆マスタークロックは4MHzまたは、8MHzから選択
- ☆5V単一電源

ブロック図



端子機能

注) I+: プルアップ抵抗付入力端子

No.	名称	I/O	機能
1	/WR	I	CPUインターフェイス ライトイネーブル
2	/CS	I	CPUインターフェイス チップセレクト
3	A0	I	CPUインターフェイス アドレス/データセレクト
4	VDD	-	+5V電源
5	SO	O	SSG音源DAC出力
6	GND	-	グラウンド
7	φM	I	マスタークロック入力
8	4/6	I+	マスタークロック周波数選択('H'=4MHz, 'L'=6MHz)
9	/IC	I+	リセット入力
10	/TEST	I+	テスト用端子(通常無接続で使用)
11	D7	I	CPUインターフェイス データ(MSB)
12	D6	I	CPUインターフェイス データ
13	D5	I	CPUインターフェイス データ
14	D4	I	CPUインターフェイス データ
15	D3	I	CPUインターフェイス データ
16	D2	I	CPUインターフェイス データ
17	D1	I	CPUインターフェイス データ
18	D0	I	CPUインターフェイス データ(LSB)

端子機能説明

1. φM

マスタークロック入力です。入力周波数は4MHzまたは6MHzです。

2. 4/6

マスタークロックの周波数を選択します。'H'の時は4MHz、'L'の時は6MHzです。

3. D0~D7

8ビットのデータバスです。

4. /CS, /WR, A0

8ビットのデータバスからのアドレスとデータの書き込みをコントロールします。

/CS	/WR	A0	動作
0	0	0	SSGLPにアドレスを書き込みます。
0	0	1	SSGLPにデータを書き込みます。

5. /IC

'L'の時システムリセットになります。レジスタアレーの内容が全て'0'になります。

6. SO

音声信号のアナログ出力です。

7. /TEST

テスト用端子です。通常無接続で使用します。

8. VDD

+5Vの電源端子です。

9. GND

接地端子です。

機能説明

SSGLPの全機能は15個の内蔵レジスタによって制御されます。

以下は各ブロックの機能についての説明です。

- ・**楽音発生器** 各チャンネル(A,B,C)毎に、周波数の異なる矩形波を発生させます。
- ・**ノイズ発生器** 疑似ランダム波を発生します(周波数可変)。
- ・**ミキサー** 各チャンネル(A,B,C)の楽音とノイズの出力をミキシングします。
- ・**音量コントロール** 各チャンネル(A,B,C)毎に、一定音量または可変音量を与えます。
一定音量はCPUによって制御され、可変音量はエンベロープ発生器によって制御されます。
- ・**エンベロープ発生器** 各種のエンベロープを発生させます。
- ・**D/Aコンバータ** ミキシングされた音声信号をアナログ出力します。

電気的特性

1. 最大定格

項目	記号	定格値	単位
電源電圧	VDD	-0.3~7.0	V
入力電圧	Vi	VSS-0.3~VDD+0.3	V
動作温度	Top	0~85	℃
保存温度	Tstg	-50~125	℃

2. 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	VDD	4.75	5	5.25	V
動作温度	Vop	0	25	70	℃

3. 直流特性 (VDD=5V)

項目	記号	条件	最小	標準	最大	単位
入力電圧Hレベル	Vih	*1	2.2			V
入力電圧Lレベル	Vil	*1			0.8	V
入力電圧Hレベル	Vih	*2	3.5			V
入力電圧Lレベル	Vil	*2			1.0	V
入力リーク電流	Ili	Vi=0~5V, *1	-10		10	μA
プルアップ抵抗	Ru	*2	60	250	600	kΩ
入力容量	Cl	*3			10	pF
電源電流	Idd				10	mA
アナログ最大出力振幅	Voa	*4	1.50	1.70	1.90	V

*1: 4/6, /IC, /TEST以外の全ての入力端子に適用。

*2: 4/6, /IC, /TESTに適用。

*3: 全ての入力端子に適用。

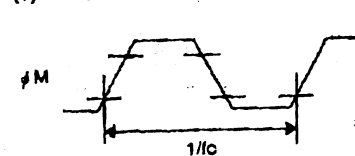
*4: SO端子に適用。最大音量、Ru=1kΩ、peak to peak。

4. 交流特性 (VDD=5V)

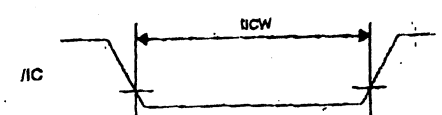
項目	記号	最小	標準	最大	単位
マスタークロック周波数	fC		4 or 6		MHz
マスタークロックデューティ	D	40		60	%
リセットパルス幅	tCW	5			μs
アドレスセットアップ時間	tAS	0			ns
アドレスホールド時間	tAH	5			ns
チップセレクトパルス幅	tCSW	30			ns
ライトパルスセットアップ時間	tWS	30			ns
ライトパルスホールド時間	tWH	0			ns
ライトデータセットアップ時間(アドレス)	tWDSA	10			ns
ライトデータセットアップ時間(データ)	tWDS	10			ns
ライトデータホールド時間(アドレス)	tWDHA	10			ns
ライトデータホールド時間(データ)	tWDH	10			ns
ライトパルスオフ時間	tWOF	40			ns

5. タイミング図

(1) マスタークロックタイミング



(2) リセットタイミング



(3) CPUインターフェイスタイミング

